

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 7月24日

出 願 番 号  
Application Number:

特願2002-215206

[ ST.10/C ]:

[ JP2002-215206 ]

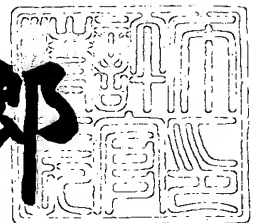
出 願 人  
Applicant(s):

エルピーダメモリ株式会社

2003年 6月19日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047974

【書類名】 特許願

【整理番号】 22310161

【提出日】 平成14年 7月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00

【発明者】

【住所又は居所】 東京都中央区八重洲2丁目2番1号 エルピーダメモリ  
株式会社内

【氏名】 渡辺 敬行

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0111098

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリモジュールの救済方法、メモリモジュール、及び揮発性メモリ

【特許請求の範囲】

【請求項 1】 メモリモジュールが備える揮発性メモリ及び不揮発性メモリのうち、電氣的試験で不良と判定された前記揮発性メモリを救済するためのメモリモジュールの救済方法であって、

予め、前記不良と判定された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス、並びに前記不良と判定された揮発性メモリを判別するための不良デバイス情報を前記不揮発性メモリへ格納しておき、

前記メモリモジュールが搭載されたシステムの立ち上げ時に、前記不揮発性メモリに格納された前記不良行アドレス、前記不良列アドレス、及び前記不良デバイス情報を前記揮発性メモリへ転送し、

該揮発性メモリで、転送された不良行アドレス、不良列アドレス、及び不良デバイス情報をそれぞれ保持し、

前記揮発性メモリで保持した不良行アドレス、不良列アドレス、及び不良デバイス情報に基づいて、前記不良と判定された揮発性メモリのメモリセルに対応するアドレスが入力された場合に、該メモリセルに代わって冗長メモリセルへアクセスするメモリモジュールの救済方法。

【請求項 2】 前記揮発性メモリは、

レーザ光で溶断可能な複数のヒューズ素子を備え、

ウエハ製造終了時の検査で不良と判定されたメモリセルに代わって前記冗長メモリセルへアクセスするための情報を、前記ヒューズ素子で保持することが可能な請求項 1 記載のメモリモジュールの救済方法。

【請求項 3】 電氣的試験で不良と判定された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス、並びに前記不良と判定された揮発性メモリを判別するための不良デバイス情報が格納される不揮発性メモリと、

システムの立ち上げ時に転送される、前記不良行アドレス、前記不良列アドレス、及び前記不良デバイス情報を保持し、保持した不良行アドレス、不良列アド

レス、及び不良デバイス情報に基づいて、前記不良と判定された揮発性メモリのメモリセルに対応するアドレス信号が入力された場合に、該メモリセルに代わって冗長メモリセルへアクセスされる揮発性メモリと、  
を有するメモリモジュール。

【請求項 4】 前記揮発性メモリは、

レーザ光で溶断可能な複数のヒューズ素子を備え、

ウエハ製造終了時の検査で不良と判定されたメモリセルに代わって前記冗長メモリセルへアクセスするための情報を、前記ヒューズ素子で保持することが可能な請求項 3 記載のメモリモジュール。

【請求項 5】 不良が発生したメモリセルである不良メモリセルに代わってアクセスされる冗長メモリセルを備えた揮発性メモリであって、

外部から転送される不良行アドレス及び不良列アドレスを保持する不良情報格納回路と、

不良デバイス情報が自メモリに対する不良情報であるか否かを判定し、その判定結果を保持するデバイス情報格納回路と、

前記不良情報格納回路に格納された不良行アドレスと外部から供給される行アドレスとを比較する行アドレスコンパレータと、

前記不良情報格納回路に格納された不良列アドレスと外部から供給される列アドレスとを比較する列アドレスコンパレータと、

前記不良行アドレスと前記行アドレスが一致した場合に前記冗長メモリセルに繋がるワード線を活性化させ、該冗長メモリセルへのアクセスを可能にする冗長行デコーダと、

前記不良列アドレスと前記列アドレスが一致した場合に前記冗長メモリセルに繋がるビット線を活性化させ、該冗長メモリセルへのアクセスを可能にする冗長列デコーダと、

を有する揮発性メモリ。

【請求項 6】 前記冗長行デコーダ及び前記冗長列デコーダは、

ウエハ製造終了時の検査で不良と判定されたメモリセルに代わって前記冗長メモリセルへアクセスするための情報を保持する、レーザ光で溶断可能な複数のヒ

ューズ素子を有する請求項 5 記載の揮発性メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は D R A M や S R A M 等の揮発性メモリと E<sup>2</sup>P R O M 等の書き換え可能な不揮発性メモリとがそれぞれ搭載されたメモリモジュールに関する。

【0002】

【従来の技術】

近年のパーソナルコンピュータやワークステーションサーバコンピュータ等の情報処理装置では、C P U による処理の高速化や処理ビット数の増大に伴って主記憶装置の記憶容量も増大し、S I M M (Single Inline Memory Module)、D I M M (Dual Inline Memory Module)、あるいは M C P (Multi Chip Package) 等のメモリモジュールが用いられるようになってきた。

【0003】

図 8 はメモリモジュールの一構成例を示す平面図であり、図 9 はメモリモジュールの他の構成例を示す側面図である。

【0004】

図 8 及び図 9 に示すように、メモリモジュールは、D R A M 等の複数の揮発性メモリ 1 と E<sup>2</sup>P R O M 等の書き換え可能な不揮発性メモリ 2 とが同一の基板 3 上に搭載された構成である。なお、図 8 は S I M M (または D I M M) の構成例を示し、図 9 は揮発性メモリ 1 上に不揮発性メモリ 2 が積載された M C P の構成例を示している。

【0005】

これらのメモリモジュールが有する揮発性メモリ 1 には、データの書き込み／読み出しを行うアドレス信号 A 0 ～ A n (n は正の整数)、揮発性メモリ 1 を所定の動作モードに設定するための制御信号 R A S (Row address strobe command)、C A S (Column address strobe command)、W E (Write enable)、及び活性化するメモリを選択するための制御信号 C S (Chip select) が共通に供給される。また、揮発性メモリ 1 には、入出力データである D Q 信号及び D Q 信号

をマスクするためのDQM信号が、各揮発性メモリ1に割り当てられたビットに応じて供給または出力される。なお、バンクは、制御信号CSで選択される、並列にアクセス可能なメモリモジュールのメモリ領域であり、例えば、DIMMの場合は、基板の一方の面に搭載された揮発性メモリ1がバンク0に設定され、他方の面に搭載された揮発性メモリ1がバンク1に設定される。

## 【0006】

不揮発性メモリ2には、メモリモジュールの構成や種類、特性等の情報が予め格納され、メモリモジュールを備えたシステム（情報処理装置等）でそれらの情報が使用される。

## 【0007】

次に図8及び図9に示した揮発性メモリ1の構成について図面を用いて説明する。

## 【0008】

図10は従来の揮発性メモリの構成を示すブロック図であり、図11は図10に示した初期設定レジスタ及びコマンドデコーダの構成を示す回路図である。図12は図10に示した初期設定レジスタ及びコマンドデコーダの動作の様子を示すタイミングチャートである。また、図13は図10に示した冗長行デコーダの構成を示す回路図であり、図14は図10に示した冗長列デコーダの構成を示す回路図である。なお、図10に示す揮発性メモリは従来のSDRAM（Synchronous DRAM）の一構成例を示している。

## 【0009】

図10に示すように、従来の揮発性メモリ1は、データを格納するための複数のメモリセルMCから構成されるメモリセルアレイ11と、メモリセルMCに格納されたデータを読み出すための複数のセンスアンプ12と、データの書き込み／読み出しを行うメモリセルMCにアクセスするためのアドレス信号ADDをデコードする行デコーダ13及び列デコーダ14と、列デコーダ14のデコード結果にしたがってセンスアンプ12の出力をON/OFFする複数の列スイッチ15と、メモリセルMCに書き込むデータを一時的に保持するデータラッチ回路16と、メモリセルMCから読み出されたデータを一時的に保持する出力ラッチ回

路 17 と、行デコーダ 13 に供給する行アドレスを一時的に保持する行アドレスラッチ回路 18 と、列デコーダに供給する列アドレスを一時的に保持する列アドレスラッチ回路 19 と、揮発性メモリ 1 を各種動作モードに設定するために外部から供給される制御コマンドをデコードするコマンドデコーダ 20 と、アドレス信号 ADD を用いて設定される、CAS レイテンシー (Latency)、バースト長、及びバーストタイプのモード設定情報を保持する初期設定レジスタ 21 と、コマンドデコーダ 20 の出力信号にしたがってメモリセルアレイ 11 に対するデータの書き込み動作及びメモリセルアレイからのデータの読み出し動作を制御する制御回路 22 と、外部から供給されるデータを受信し、データラッチ回路 16 へ供給するデータ入力バッファ回路 23 と、出力ラッチ回路 17 から出力されたデータを外部へ送出するデータ出力バッファ回路 24 とを有する構成である。

#### 【0010】

メモリセルアレイ 11 は、通常使用されるメモリセル領域である正規メモリセル領域 111 に加えて、正規メモリセル領域 111 のメモリセルに不良が発生した場合に置き換えるための冗長メモリセルが形成された冗長行メモリセル領域 112 及び冗長列メモリセル領域 113 を備えた構成である。

#### 【0011】

また、行デコーダ 13 は、上記正規メモリセル領域 111 及び冗長行メモリセル領域 112 に対応させて、正規行デコーダ 131 及び冗長行デコーダ 132 を備え、列デコーダ 14 は、上記正規メモリセル領域 111 及び冗長列メモリセル領域 113 に対応させて、正規列デコーダ 141 及び冗長列デコーダ 142 を備えている。さらに、列スイッチ 15 は、上記正規メモリセル領域 111 及び冗長列メモリセル領域 113 に対応させて、正規列スイッチ 151 及び冗長列スイッチ 152 を備えている。

#### 【0012】

図 11 に示すように、初期設定レジスタ 21 は、アドレス信号  $A_0 \sim A_n$  をビット毎に保持する  $n$  個のアドレスラッチ回路  $210_1 \sim 210_n$  と、制御信号  $/RAS$ ,  $/CAS$ ,  $/WE$ ,  $/CS$  をそれぞれ保持する複数のモードラッチ回路 211 とを備え、外部から供給されるクロック CLK に同期してラッチ信号  $IA_0$

$\sim IAn$ ,  $IA0B \sim IAnB$ 、並びに制御信号  $/RAS$ ,  $/CAS$ ,  $/WE$ ,  $/CS$  及びそれらの反転信号を出力する構成である。なお、図 11 ではモードラッチ回路 211 が 1 つだけ記載されているが、実際には制御信号  $/RAS$ ,  $/CAS$ ,  $/WE$ ,  $/CS$  に対応してそれぞれ設けられている。

#### 【0013】

コマンドデコーダ 20 は、アドレスラッチ回路  $210_1 \sim 210_n$  から出力されるラッチ信号  $IA0 \sim IAn$ ,  $IA0B \sim IAnB$  のうち、上記モード設定情報として用いるラッチ信号  $IA0 \sim IAm$ ,  $IA0B \sim IAmB$  ( $m$  は正の整数:  $m < n$ ) をデコードし、 $CAS$  レイテンシー、バースト長、及びバーストタイプのモード設定結果を出力するレイテンシー設定デコーダ 201、バースト長設定デコーダ 202、及びバーストタイプ設定デコーダ 203 と、モードラッチ回路 211 から出力される制御信号  $/RAS$ ,  $/CAS$ ,  $/WE$ ,  $/CS$  をデコードし、モードレジスタ活性信号  $MRS$  を出力するモードレジスタ設定デコーダ 204 と、外部から供給されるクロック信号  $CLK$  を所定時間だけ遅延させる遅延回路 205 と、モードレジスタ活性信号  $MRS$  と遅延回路 205 から出力されたクロック信号の論理積を出力する論理積ゲート 206 と、論理積ゲート 206 から出力されるタイミングクロックに同期してレイテンシー設定デコーダ 201、バースト長設定デコーダ 202、及びバーストタイプ設定デコーダ 203 の出力信号を保持するモードラッチ回路  $207_1 \sim 207_3$  とを有する構成である。

#### 【0014】

図 11 に示した初期設定レジスタ 21 及びコマンドデコーダ 20 は、アドレス信号  $A0 \sim Am$  を用いて設定される  $CAS$  レイテンシー、バースト長、及びバーストタイプのデータをそれぞれ保持するモードレジスタとして機能する。なお、レイテンシー設定デコーダ 201、バースト長設定デコーダ 202、及びバーストタイプ設定デコーダ 203 は、アドレス信号  $Am+1$  が “0” のとき、デコード結果をそれぞれ出力する。モードラッチ回路  $207_1 \sim 207_3$  から出力されるレイテンシー信号、バースト長信号、及びバーストタイプ信号は、次のモードレジスタ活性信号  $MRS$  が出力されるまで、すなわち次のモード設定が実行されるまで保持される。

## 【0015】

図12に示すように、上述したモードレジスタ設定時、制御信号 $\text{RAS}$ 、 $\text{CAS}$ 、 $\text{WE}$ 、 $\text{CS}$ と、ラッチ信号 $\text{IA}_0 \sim \text{IA}_{m+1}$ 、 $\text{IA}_0\text{B} \sim \text{IA}_m + 1\text{B}$ とは、それぞれクロック $\text{CLK}$ の立ち上がり同期して揮発性メモリ1に取り込まれ（アドレスラッチ回路 $210_1 \sim 210_n$ で保持され）、モードラッチ回路 $207_1 \sim 207_3$ に入力されるタイミングクロックの立ち上がり同期してモードレジスタに書き込まれる。

## 【0016】

上述したように、アドレス信号 $\text{A}_0 \sim \text{A}_m$ は、 $\text{CAS}$ レイテンシー、バースト長、及びバーストタイプの設定に用いられ、アドレス信号 $\text{A}_{m+1}$ はモードレジスタの設定時に“0”に設定される。

## 【0017】

図13に示すように、冗長行デコーダ132は、行アドレスラッチ回路18から出力される内部行アドレス信号 $\text{ALX}_0 \sim \text{ALX}_m$ 、 $\text{ALX}_0\text{B} \sim \text{ALX}_m\text{B}$ により $\text{on/off}$ が制御される、ドレイン及びソースがそれぞれ共通に接続された冗長行デコーダトランジスタ $133_0 \sim 133_{2m}$ と、制御回路22から送出されるプリチャージ信号 $\text{Pxrd}$ により $\text{on/off}$ が制御される、冗長行デコーダトランジスタ $133_0 \sim 133_{2m}$ のドレインにそれぞれ電源電圧 $\text{VDD}$ を供給するプリチャージトランジスタ134と、プリチャージトランジスタ134の出力信号と制御回路22から送出される冗長ワード線を選択するための選択信号 $\text{RWE}$ の論理積を出力する論理積ゲート135とを有する構成である。

## 【0018】

冗長行デコーダトランジスタ $133_0 \sim 133_{2m}$ のソースはそれぞれ接地され、ドレインとノード $\text{N1}$ 間には、レーザ光によって切断可能なヒューズ素子 $136_0 \sim 136_{2m}$ がそれぞれ設けられている。

## 【0019】

ヒューズ素子 $136_0 \sim 136_{2m}$ は、ウエハ製造後の試験で不良と判定されたメモリセルの行アドレスに基づいてレーザ光により溶断される。例えば、行アドレスの最下位ビットが“1”、他のビットが全て“0”のメモリセルで不良が発

生した場合は、内部行アドレス信号  $ALX_0$ 、 $ALX_{0B} \sim ALX_{mB}$  が入力される冗長行デコーダトランジスタ 133 のドレインに設けられたヒューズ素子 136 が全て切断される。また、行アドレスの最下位ビットが“0”、他のビットが全て“1”のメモリセルで不良が発生した場合は、内部行アドレス信号  $ALX_{0B}$ 、 $ALX_0 \sim ALX_m$  が入力される冗長行デコーダトランジスタ 133 のドレインに設けられたヒューズ素子 136 が全て切断される。

#### 【0020】

このようなレーザ光で溶断可能な複数のヒューズ素子を用い、レーザトリミング処理によって冗長メモリセルへアクセスするための情報を保持することで、不良と判定されたメモリセルに対応する行アドレス信号  $A_0 \sim A_m$  が入力された場合は、冗長行デコーダトランジスタ 133 とプリチャージトランジスタ 134 の接続ノード  $N_1$  が“High” ( $V_{DD}$ ) となるため、論理積ゲート 135 の出力信号  $RWL_1$  が活性化される。論理積ゲート 135 の出力線は冗長行メモリセル領域 112 のワード線であるため、不良と判定されたメモリセルのアドレスが入力されると、該メモリセルに代わって冗長行メモリセル領域 112 の活性化されたワード線  $RWL_1$  に繋がるメモリセルにアクセスされる。

#### 【0021】

なお、冗長行デコーダ 132 は、図 13 に示した冗長行デコーダトランジスタ  $133_0 \sim 133_{2m}$ 、プリチャージトランジスタ 134、及び論理積ゲート 135 を複数組備え、不良メモリセルが複数個在る場合は、それぞれのアドレスに対応する組毎にレーザトリミング処理が実施される。

#### 【0022】

図 14 に示すように、従来の冗長列デコーダ 142 は、図 13 に示した冗長行デコーダ 132 と同様の構成であり、列アドレスラッチ回路 19 から出力される内部列アドレス信号  $ALY_0 \sim ALY_m$ 、 $ALY_{0B} \sim ALY_{mB}$  により  $on/off$  が制御される、ドレイン及びソースがそれぞれ共通に接続された冗長列デコーダトランジスタ  $143_0 \sim 143_{2m}$  と、制御回路 22 から送出されるプリチャージ信号  $Pyrd$  により  $on/off$  が制御される、冗長列デコーダトランジスタ  $143_0 \sim 143_{2m}$  のドレインにそれぞれ電源電圧  $V_{DD}$  を供給するプリチ

チャージトランジスタ 1 4 4 と、プリチャージトランジスタ 1 4 4 の出力信号と制御回路 2 2 から送出される冗長ビット線を選択するための選択信号 R Y E の論理積を出力する論理積ゲート 1 4 5 とを有する構成である。冗長列デコーダトランジスタ 1 4 3<sub>0</sub> ~ 1 4 3<sub>2m</sub> のソースはそれぞれ接地され、ドレインとノード N 2 間にはレーザ光によって切断可能なヒューズ素子 1 4 6<sub>0</sub> ~ 1 4 6<sub>2m</sub> がそれぞれ設けられている。

## 【 0 0 2 3 】

ヒューズ素子 1 4 6<sub>0</sub> ~ 1 4 6<sub>2m</sub> は、冗長行デコーダ 1 3 2 と同様にウエハ製造後の試験で不良と判定されたメモリセルの行アドレスに基づいてレーザ光により溶断される。

## 【 0 0 2 4 】

その他のメモリセルアレイ 1 1、センスアンプ 1 2、正規行デコーダ回路 1 3 1、正規列デコーダ回路 1 4 1、列スイッチ 1 5、データラッチ回路 1 6、出力ラッチ回路 1 7、行アドレスラッチ回路 1 8、列アドレスラッチ回路 1 9、制御回路 2 2、データ入力バッファ回路 2 3、及びデータ出力バッファ回路 2 4 の構成は、本発明と直接関係しないため、その詳細な説明は省略する。これらの回路は、所定の機能を満たす構成であれば、周知のどのような構成を採用してもよい。

## 【 0 0 2 5 】

また、不揮発性メモリ 2 は、書き換え可能な、例えば E<sup>2</sup> P R O M であれば、周知のどのような構成であってもよい。

## 【 0 0 2 6 】

次に、上記構成のメモリモジュールの従来の製造手順について図面を用いて説明する。

## 【 0 0 2 7 】

図 1 5 はメモリモジュールの一般的な製造手順を示すフローチャートであり、図 1 6 は図 1 5 に示した従来のメモリモジュールの電氣的試験の処理手順を示すフローチャートである。

## 【 0 0 2 8 】

図 1 5 に示すように、メモリモジュールの製造工程では、まず、揮発性メモリ 1 のウエハ製造が終了した段階でメモリセルアレイ 1 1 の検査を行い、不良が発生したメモリセルを特定する（ステップ S 1）。

【 0 0 2 9 】

次に、上述したレーザトリミング処理により不良が発生したメモリセルから冗長メモリセルへ置き換えるための不良救済処理を実行し（ステップ S 2）、ウエハの検査を再度実施してメモリセルアレイ 1 1 の良／不良を判定する（ステップ S 3）。

【 0 0 3 0 】

続いて、検査で良品と判定されたウエハをモールドパッケージ内に収容して、揮発性メモリ 1 を組み立てる（ステップ S 4）。

【 0 0 3 1 】

次に、組み立てた揮発性メモリ 1 に対して第 1 の電氣的試験を実施し、揮発性メモリ 1 の単体としての性能を確認する（ステップ S 5）。

【 0 0 3 2 】

次に、所定の条件でバーンイン試験を実施した後（ステップ S 6）、揮発性メモリ 1 に対して第 2 の電氣的試験を実施し（ステップ S 7）、バーンイン試験終了後の性能を確認する。この第 2 の電氣的試験で不良が発見されない場合に単体の揮発性メモリ 1 が完成する（ステップ S 8）。

【 0 0 3 3 】

次に、完成した単体の揮発性メモリ 1、及び同様工程で製造された不揮発性メモリ 2 をメモリモジュールの製造工程へ投入し（ステップ S 9）、揮発性メモリ 1 及び不揮発性メモリ 2 をメモリモジュールの基板 3 上にそれぞれ搭載する（ステップ S 1 0）。

【 0 0 3 4 】

続いて、上記揮発性メモリ 1 及び不揮発性メモリ 2 をそれぞれメモリモジュールの基板 3 上に固定し、はんだリフロー工程により基板 3 上に形成された回路パターンと、揮発性メモリ 1 及び不揮発性メモリ 2 の外部端子とをはんだ付けする（ステップ S 1 1）。

## 【0035】

最後に、メモリモジュールの電氣的試験を実施し（ステップS12）、不良が発見されない場合にメモリモジュールが完成する（ステップS13）。

## 【0036】

図16に示すように、メモリモジュールの電氣的試験では、最初にメモリモジュールの基板上に搭載された不揮発性メモリ（E<sup>2</sup>PROM）に対して所定のデータを書き込み、書き込んだデータを読み出してその内容を検証する（ステップS21）。

## 【0037】

次に、同一基板上に搭載された複数の揮発性メモリの試験を不揮発性メモリと同様の手順で実施する（ステップS22）。

## 【0038】

そして、試験の結果から不良があるか否かを確認し（ステップS23）、不良が発見されない場合（パス）は、メモリモジュールが完成する。また、不良が発見された場合は、不良の揮発性メモリを新しい揮発性メモリに交換（リペア）し（ステップS24）、ステップS22の処理に戻ってメモリモジュールに搭載された揮発性メモリの電氣的試験を再度実施する。

## 【0039】

## 【発明が解決しようとする課題】

上述したように、従来のメモリモジュールの製造工程では、ウエハの製造が終了した段階で検査を実施して不良のメモリセルを特定し、予め同一のウエハ上に形成した冗長メモリセルに置き換えることで不良メモリを救済する処置が施されている。

## 【0040】

しかしながら、近年の揮発性メモリや不揮発性メモリ等では、そのメモリセルの微細化に伴って歩留りがますます悪化している。また、メモリの組み立て後に実施されるバーンイン試験で印加されるストレスにより不良となる割合も増加している。さらに、複数の揮発性メモリや不揮発性メモリが同一基板上に搭載されるメモリモジュールの歩留りも搭載個数の増加に伴って悪化し、メモリ単体の電

氣的試験で良品と判定された製品でも、モジュール化のためのはんだリフロー工程で印加される熱ストレスで不良に至ってしまうものも少なくない。

【 0 0 4 1 】

メモリ単体の電氣的試験、あるいはメモリモジュールの電氣的試験で不良と判定された半導体メモリは基本的に廃棄するしかなく、特にメモリモジュールの電氣的試験で不良と判定された場合は、不良メモリから新しいメモリへの交換を手作業で実施するため、作業時間が長くなってメモリモジュールのコストを上昇させる要因となっていた。

【 0 0 4 2 】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、メモリモジュールの電氣的試験で不良と判定された場合でも、不良の揮発性メモリを交換することなく不良メモリセルの救済が可能なメモリモジュールの救済方法及びメモリモジュールを提供することを目的とする。

【 0 0 4 3 】

【課題を解決するための手段】

上記目的を達成するため本発明のメモリモジュールの救済方法は、メモリモジュールが備える揮発性メモリ及び不揮発性メモリのうち、電氣的試験で不良と判定された前記揮発性メモリを救済するためのメモリモジュールの救済方法であって、

予め、前記不良と判定された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス、並びに前記不良と判定された揮発性メモリを判別するための不良デバイス情報を前記不揮発性メモリへ格納しておき、

前記メモリモジュールが搭載されたシステムの立ち上げ時に、前記不揮発性メモリに格納された前記不良行アドレス、前記不良列アドレス、及び前記不良デバイス情報を前記揮発性メモリへ転送し、

該揮発性メモリで、転送された不良行アドレス、不良列アドレス、及び不良デバイス情報をそれぞれ保持し、

前記揮発性メモリで保持した不良行アドレス、不良列アドレス、及び不良デバイス情報に基づいて、前記不良と判定された揮発性メモリのメモリセルに対応す

るアドレスが入力された場合に、該メモリセルに代わって冗長メモリセルへアクセスする救済方法である。

【 0 0 4 4 】

このとき、前記揮発性メモリは、  
レーザ光で溶断可能な複数のヒューズ素子を備え、  
ウエハ製造終了時の検査で不良と判定されたメモリセルに代わって前記冗長メモリセルへアクセスするための情報を、前記ヒューズ素子で保持するのが一般的である。

【 0 0 4 5 】

一方、本発明のメモリモジュールは、電氣的試験で不良と判定された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス、並びに前記不良と判定された揮発性メモリを判別するための不良デバイス情報が格納される不揮発性メモリと、

システムの立ち上げ時に転送される、前記不良行アドレス、前記不良列アドレス、及び前記不良デバイス情報を保持し、保持した不良行アドレス、不良列アドレス、及び不良デバイス情報に基づいて、前記不良と判定された揮発性メモリのメモリセルに対応するアドレス信号が入力された場合に、該メモリセルに代わって冗長メモリセルへアクセスされる揮発性メモリと、  
を有する構成である。

【 0 0 4 6 】

このとき、前記揮発性メモリは、  
レーザ光で溶断可能な複数のヒューズ素子を備え、  
ウエハ製造終了時の検査で不良と判定されたメモリセルに代わって前記冗長メモリセルへアクセスするための情報を、前記ヒューズ素子で保持することが可能な構成が一般的である。

【 0 0 4 7 】

また、本発明の揮発性メモリは、不良が発生したメモリセルである不良メモリセルに代わってアクセスされる冗長メモリセルを備えた揮発性メモリであって、  
外部から転送される不良行アドレス及び不良列アドレスを保持する不良情報格

納回路と、

不良デバイス情報が自メモリに対する不良情報であるか否かを判定し、その判定結果を保持するデバイス情報格納回路と、

前記不良情報格納回路に格納された不良行アドレスと外部から供給される行アドレスとを比較する行アドレスコンパレータと、

前記不良情報格納回路に格納された不良列アドレスと外部から供給される列アドレスとを比較する列アドレスコンパレータと、

前記不良行アドレスと前記行アドレスが一致した場合に前記冗長メモリセルに繋がるワード線を活性化させ、該冗長メモリセルへのアクセスを可能にする冗長行デコーダと、

前記不良列アドレスと前記列アドレスが一致した場合に前記冗長メモリセルに繋がるビット線を活性化させ、該冗長メモリセルへのアクセスを可能にする冗長列デコーダと、

を有する構成である。

#### 【0048】

このとき、前記冗長行デコーダ及び前記冗長列デコーダは、

ウエハ製造終了時の検査で不良と判定されたメモリセルに代わって前記冗長メモリセルへアクセスするための情報を保持する、レーザ光で溶断可能な複数のヒューズ素子も有する構成が一般的である。

#### 【0049】

上記のようなメモリモジュールの救済方法、メモリモジュール及び揮発性メモリでは、電氣的試験で不良と判定された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス、並びに不良と判定された揮発性メモリを判別するための不良デバイス情報を不揮発性メモリへ格納しておき、メモリモジュールが搭載されたシステムの立ち上げ時に、不揮発性メモリに格納された不良行アドレス、不良列アドレス、及び不良デバイス情報を揮発性メモリへ転送し、該揮発性メモリで、転送された不良行アドレス、不良列アドレス、及び不良デバイス情報をそれぞれ保持し、揮発性メモリで保持した不良行アドレス、不良列アドレス、及び不良デバイス情報に基づいて、不良と判定された揮発性メモリのメモリ

セルに対応するアドレスが入力された場合に、該メモリセルに代わって冗長メモリセルへアクセスすることで、メモリモジュールの電氣的試験で揮発性メモリのメモリセルに不良が発見されても、その不良メモリセルを救済することが可能になる。

#### 【 0 0 5 0 】

##### 【発明の実施の形態】

次に本発明について図面を参照して説明する。

#### 【 0 0 5 1 】

本発明では、メモリモジュールの電氣的試験で不良が検出された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス（以下、不良行アドレス及び不良列アドレスをまとめて不良アドレス情報と称す場合がある）を同じメモリモジュールに搭載された不揮発性メモリへ格納する。また、メモリモジュールの電氣的試験で不良が検出された揮発性メモリを判別するための不良デバイス情報を不揮発性メモリへ格納する。

#### 【 0 0 5 2 】

揮発性メモリは、システムの立ち上げ時に、不揮発性メモリからシステムが備えるメモリ制御回路を介して転送される不良アドレス情報を保持するための不良情報格納回路と、不良アドレス情報が自メモリに対する情報であるか否かを不良デバイス情報から判定し、その結果を保持するデバイス情報格納回路とを備え、該不良情報格納回路及びデバイス情報格納回路に保持された情報に基づいて、不良が発生したメモリセル（不良メモリセル）に対応するアドレス信号が入力された場合は正規メモリセルから冗長メモリセルへアクセスを切り換える。このことにより、メモリモジュールの電氣的試験で不良と判定された揮発性メモリを救済する。

#### 【 0 0 5 3 】

メモリ制御回路は、不揮発性メモリから読み出した不良アドレス情報及び不良デバイス情報をメモリモジュールのDQM端子及びアドレス端子を介して揮発性メモリへ転送する。

#### 【 0 0 5 4 】

図 1 は本発明のメモリモジュールに搭載される揮発性メモリの一構成例を示すブロック図であり、図 2 は図 1 に示した揮発性メモリに格納される不良デバイス情報及び不良アドレス情報のビット配列を示す模式図である。図 3 は図 1 に示した不良情報格納回路及びデバイス情報格納回路の一構成例を示す回路図であり、図 4 は図 1 に示した揮発性メモリに対する不良デバイス情報及び不良アドレス情報の格納タイミングを示すフローチャートである。また、図 5 は図 1 に示した行アドレスコンパレータ及び冗長行デコーダの一構成例を示す回路図であり、図 6 は図 1 に示した列アドレスコンパレータ及び冗長列デコーダの一構成例を示す回路図である。

## 【 0 0 5 5 】

図 1 に示すように、本発明の揮発性メモリは、図 1 0 に示した従来の揮発性メモリの構成に加えて、不良アドレス情報を保持する不良情報格納回路 2 5 と、不良アドレス情報が自メモリに対する情報であるか否かを不良デバイス情報から判定し、その判定結果を保持するデバイス情報格納回路 2 6 と、不良情報格納回路 2 5 に格納された不良行アドレス  $R X 0 \sim R X m$ ,  $R X 0 B \sim R X m B$  と行アドレスラッチ回路から供給される内部行アドレス  $A L X 0 \sim A L X m$ ,  $A L X 0 B \sim A L X m B$  を比較する行アドレスコンパレータ 2 7 と、不良情報格納回路 2 5 に格納された不良列アドレス  $R Y 0 \sim R Y m$ ,  $R Y 0 B \sim R Y m B$  と列アドレスラッチ回路から供給される内部列アドレス  $A L Y 0 \sim A L Y m$ ,  $A L Y 0 B \sim A L Y m B$  を比較する列アドレスコンパレータ 2 8 とを有する構成である。

## 【 0 0 5 6 】

図 2 に示すように、本実施形態では、アドレス信号  $A 0 \sim A n$  のうち、ビット  $A 0 \sim A m$  を用いて、不良デバイス情報及び不良アドレス情報を不揮発性メモリから揮発性メモリへ転送する。また、ビット  $A m + 1 \sim A m + 3$  を用いて、ビット  $A 0 \sim A m$  が不良デバイス情報であるか、不良行 (X) アドレスであるか、不良列 (Y) アドレスであるかを判定する。なお、ビット  $A m + 1$  は、通常のもー  
ドレジスタの設定時には「0」に設定するため、本発明の適用時では「1」に設定することで他のモードレジスタ設定時と区別する。

## 【 0 0 5 7 】

具体的には、ビット  $A_{m+3}$ 、 $A_{m+2}$ 、 $A_{m+1}$  が「001」のとき、ビット  $A_0 \sim A_m$  を用いて不良デバイス情報が転送され、ビット  $A_{m+3}$ 、 $A_{m+2}$ 、 $A_{m+1}$  が「011」のとき、ビット  $A_0 \sim A_m$  を用いて不良行 (X) アドレスが転送され、ビット  $A_{m+3}$ 、 $A_{m+2}$ 、 $A_{m+1}$  が「101」のとき、ビット  $A_0 \sim A_m$  を用いて不良列 (Y) アドレスが転送されるものとする。

## 【0058】

また、本実施形態では、不良デバイス情報として、ビット  $A_m$  を用いて不良救済番号を転送し、ビット  $A_{m-1}$  を用いてモジュールバンク情報を転送する。不良救済番号は、不揮発メモリ内に2つの不良メモリセルが在る場合に、それらを識別するための情報であり、モジュールバンク情報は制御信号 / CS で選択されるメモリモジュールのバンクを示す情報である。すなわち、モジュールバンク情報は制御信号 / CS に一致する。

## 【0059】

さらに、不良デバイス情報には、不良デバイスであるか否かを揮発性メモリで認識するための DQM 信号が含まれる。DQM 信号は、本来、DQ 信号をマスクするための信号であるが、不揮発性メモリから不良デバイス情報を転送する際に、システムが備えるメモリ制御回路により不良デバイスであるか否かの情報を DQM 信号に対応させることで不良デバイス情報に変換される。

## 【0060】

図3に示すように、デバイス情報格納回路26は、制御信号 / CS をクロック CLK に同期して保持するラッチ回路261と、不良デバイスであるか否かを認識するための DQM 信号をクロック CLK に同期して保持するラッチ回路262と、制御信号 / CS とラッチ信号  $I A_{m-1}$  との論理積を出力する論理積ゲート263と、ラッチ信号  $I A_m$  を受信するバッファ回路264と、バッファ回路264の出力信号と論理積ゲート263の出力信号の論理積を出力する論理積ゲート265と、不良情報格納回路25から供給されるタイミングクロックに同期して論理積ゲート265から受信した信号をDSL信号として出力するフリップフロップから成るデバイス情報格納レジスタ266とを有する構成である。

## 【0061】

なお、図 3 に示したデバイス情報格納回路 2 6 は、1 つの不良メモリセルを救済するために用いる回路例であり、例えば、不良メモリセルがもう一つ在る場合は、図 3 に示したデバイス情報格納回路 2 6 に、ラッチ信号 I A m B を受信するバッファ回路を追加し、該バッファ回路の出力信号を論理積ゲート 2 6 5 に入力する。このことにより D S L 信号を用いて 2 つの不良メモリセルの救済が可能になる。

#### 【 0 0 6 2 】

一方、不良情報格納回路 2 5 は、ラッチ信号 I A m + 1 ~ I A m + 3, I A m 2 B, I A m 3 B をデコードし、ビット A 0 ~ A m が不良デバイス情報であるか、不良行 (X) アドレスであるか、不良列 (Y) アドレスであるかを判別するためのデコード結果を出力する論理積ゲート 2 5 1 ~ 2 5 3 と、外部から供給されるクロック信号 C L K を所定時間だけ遅延させる遅延回路 2 5 4 と、ビット A 0 ~ A m を用いて供給された不良行アドレスをラッチする複数のフリップフロップから成る不良行アドレス格納レジスタ 2 5 8 と、ビット A 0 ~ A m を用いて供給された不良列アドレスをラッチする複数のフリップフロップから成る不良列アドレス格納レジスタ 2 5 9 と、論理積ゲート 2 5 1 ~ 2 5 3 の出力信号と遅延回路 2 5 4 の出力信号の論理積を出力し、デバイス情報格納レジスタ 2 6 6、不良行アドレス格納レジスタ 2 5 8、不良列アドレス格納レジスタ 2 5 9 に情報を保持させるためのタイミングクロックを供給する論理積ゲート 2 5 5 ~ 2 5 7 とを有する構成である。なお、ラッチ信号 I A 0 ~ I A m, I A m - 2 ~ I A m, I A m + 1 ~ I A m + 3, I A m 2 B, I A m 3 B は、アドレス信号 A 0 ~ A m + 3 のラッチ出力であり、図 1 に示した初期設定レジスタが備えるアドレスラッチ回路から供給される。

#### 【 0 0 6 3 】

図 4 に示すように、制御信号 / R A S, / C A S, / W E, / C S は、それぞれクロック C L K の立ち上がり同期して揮発性メモリに取り込まれ、上述した不良デバイス情報、不良行アドレス、不良列アドレスの順に不揮発性メモリから揮発性メモリへ転送され、デバイス情報格納回路 2 6 及び不良情報格納回路 2 5 に格納される。このとき、不良デバイス情報は、システムが備えたメモリ制御回

路を介して揮発性メモリのDQM端子及びアドレス端子から取り込まれ、不良アドレス情報は、システムが備えたメモリ制御回路を介して揮発性メモリのアドレス端子から取り込まれる。

## 【0064】

図5に示すように、行アドレスコンパレータ27は、行アドレスラッチ回路から出力される内部行アドレス信号 $ALX_0 \sim ALX_m$ 、 $ALX_{0B} \sim ALX_{mB}$ と、不良情報格納回路25に格納された不良行アドレス信号 $RX_0 \sim RX_m$ 、 $RX_{0B} \sim RX_{mB}$ の排他的論理和をビット毎に出力するEXORゲート $271_0 \sim 271_{2m}$ を備えた構成である。

## 【0065】

本実施形態の冗長行デコーダ29は、従来の冗長行デコーダの構成に加えて、図5に示したEXORゲート $271_0 \sim 271_{2m}$ の出力信号によりon/offが制御される、ドレイン及びソースがそれぞれ共通に接続された冗長行デコーダトランジスタ $272_0 \sim 272_{2m}$ と、制御回路から送出されるプリチャージ信号 $P_{xrd}$ によりon/offが制御される、冗長行デコーダトランジスタ $272_0 \sim 272_{2m}$ のドレインにそれぞれ電源電圧VDDを供給するプリチャージトランジスタ273と、プリチャージトランジスタ273の出力信号及びデバイス情報格納回路26から出力されるDSL信号の論理積を出力する論理積ゲート274とを有する構成である。なお、冗長行デコーダトランジスタ $272_0 \sim 272_{2m}$ のソースはそれぞれ接地されている。

## 【0066】

このような構成では、不良と判定されたメモリセルに対応する行アドレス信号 $A_0 \sim A_m$ が入力されると、行アドレスコンパレータ27が有するEXORゲート $271_0 \sim 271_{2m}$ から“Low”が出力され、冗長行デコーダトランジスタ $272_0 \sim 272_{2m}$ がそれぞれoffして、冗長行デコーダトランジスタ272とプリチャージトランジスタ273の接続ノードN1が“High”(VDD)になるため、論理積ゲート274の出力信号RWL2が活性化される。論理積ゲート274の出力線は冗長行メモリセル領域のワード線であるため、不良と判定されたメモリセルのアドレスが入力されると、該メモリセルに代わって冗長行メ

メモリセル領域の活性化されたワード線RWL2に繋がるメモリセルにアクセスされる。

#### 【0067】

図6に示すように、列アドレスコンパレータ28は、列アドレスラッチ回路から出力される内部行アドレス信号ALY0~ALYm, ALY0B~ALYmBと、不良情報格納回路25に格納された不良列アドレス信号RY0~RYm, RY0B~RYmBの排他的論理和をビット毎に出力するEXORゲート281<sub>0</sub>~281<sub>2m</sub>を備えた構成である。

#### 【0068】

また、本実施形態の冗長列デコーダ30は、従来の冗長列デコーダの構成に加えて、図6に示したEXORゲート281<sub>0</sub>~281<sub>2m</sub>の出力信号によりon/offが制御される、ドレイン及びソースがそれぞれ共通に接続された冗長列デコーダトランジスタ282<sub>0</sub>~282<sub>2m</sub>と、制御回路から送出されるプリチャージ信号Pyrdによりon/offが制御される、冗長列デコーダトランジスタ282<sub>0</sub>~282<sub>2m</sub>のドレインにそれぞれ電源電圧VDDを供給するプリチャージトランジスタ283と、プリチャージトランジスタ283の出力信号、及びバイス情報格納回路26から出力されるDSL信号の論理積を出力する論理積ゲート284とを有する構成である。なお、冗長列デコーダトランジスタ282<sub>0</sub>~282<sub>2m</sub>のソースはそれぞれ接地されている。

#### 【0069】

このような構成では、図5に示した行アドレスコンパレータ28及び冗長行デコーダ29と同様に、不良と判定されたメモリセルに対応する列アドレス信号A0~Amが入力されると、列アドレスコンパレータ28が有するEXORゲート281<sub>0</sub>~281<sub>2m</sub>から“Low”が出力され、冗長列デコーダトランジスタ282<sub>0</sub>~282<sub>2m</sub>がそれぞれoffして、冗長列デコーダトランジスタ282とプリチャージトランジスタ283の接続ノードN2が“High”(VDD)になるため、論理積ゲート284の出力信号RYS2が活性化される。論理積ゲート284の出力線は冗長列メモリセル領域のビット線であるため、不良と判定されたメモリセルのアドレスが入力されると、該メモリセルに代わって冗長列メモ

リセル領域の活性化されたビット線 R Y S 2 に繋がるメモリセルにアクセスされる。

【 0 0 7 0 】

次に、上記構成の揮発性メモリを有する本発明のメモリモジュールの電氣的試験の処理手順について図面を用いて説明する。

【 0 0 7 1 】

図 7 は本発明のメモリモジュールの電氣的試験の処理手順を示すフローチャートである。

【 0 0 7 2 】

図 7 に示すように、本発明のメモリモジュールの電氣的試験では、従来と同様に、最初にメモリモジュールの基板上に搭載された不揮発性メモリ (E<sup>2</sup>PROM) に対して所定のデータを書き込み、書き込んだデータを読み出してその内容を検証する (ステップ S 3 1)。

【 0 0 7 3 】

次に、同一基板上に搭載された複数の揮発性メモリの試験を実施する (ステップ S 3 2)。そして、試験の結果から不良の有無を確認し (ステップ S 3 3)、不良が発見されない場合 (パス) は、メモリモジュールが完成する。また、不良が発見された場合は、不良が発生した揮発性メモリの不良デバイス情報、及び不良が検出された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレスをそれぞれ不揮発性メモリに書き込み (ステップ S 3 4)、メモリモジュールを完成する。

【 0 0 7 4 】

したがって、本発明によれば、メモリモジュールの電氣的試験で揮発性メモリのメモリセルに不良が発見されても、その不良メモリセルを救済することが可能になるため、メモリモジュールの歩留まりが向上する。また、不良が発見された揮発性メモリの交換や廃棄を行う必要が無くなるため、作業時間の増大によるメモリモジュールのコストの上昇を抑制できる。

【 0 0 7 5 】

なお、本発明では、不良デバイス情報及び不良アドレス情報を不揮発性メモリ

に予め格納しておき、システムの立ち上げ時にそれらの情報を揮発性メモリへ転送して保持する方法を提案しているが、メモリモジュールを救済する他の方法として、例えば、不良デバイス情報及び不良アドレス情報を揮発性メモリへ転送することなく、不揮発性メモリ内にそのまま格納しておき、揮発性メモリに対するアクセスがある毎に不揮発性メモリからそれらの情報を読み出す方法も考えられる。また、揮発性メモリ内に不良アドレス情報を保持する不揮発性のレジスタを備え、該レジスタからそれらの情報を読み出すことで不良メモリセルの救済を行う方法も考えられる。

## 【0076】

しかしながら、不揮発性メモリに毎回アクセスする方法では揮発性メモリに対するデータの書き込み／読み出し時間が長くなって揮発性メモリヘデータを読み書きするためのアクセス時間が遅くなる問題がある。一方、揮発性メモリ内に設けたレジスタに不良アドレス情報を格納しておく方法では、レジスタに対するアクセス時間が必要になるため、レーザ光で溶断可能な複数のヒューズ素子で冗長メモリセルへアクセスするための情報を保持する方法に比べて不揮発性メモリに対するアクセス時間が長くなる問題がある。

## 【0077】

本発明では、メモリモジュールを搭載するシステムの立ち上げ時に、不揮発性メモリに格納された不良デバイス情報、不良行アドレス、及び不良列アドレスを揮発性メモリへ転送するため、以降、不揮発性メモリに対するアクセスが不要になり、揮発性メモリへのアクセス時間の遅れが最小限に抑制される。

## 【0078】

一般に、揮発性メモリには不良メモリセルを救済するために5000本を超える上記ヒューズ素子が設けられている。このヒューズ素子に対するレーザトリミング工程は、例えばレーザ光の代わりに電氣的に溶断させるヒューズ素子に比べて処置が容易であり、トリミング後の動作は、例えばトランジスタによるスイッチ素子に比べて非常に安定している。また、揮発性メモリ内に不良アドレス情報を保持する不揮発性のレジスタを備える方法に比べて、レジスタに対するアクセス時間が不要であるため、高速に動作する利点もある。したがって、メモリ単体

における不良メモリセルの救済において、レーザトリミング処理は、今後も主流であり続けられると思われる。

#### 【0079】

本発明では、揮発性メモリ単体でレーザトリミング処理を実施して不良メモリセルを救済するだけでなく、不揮発性メモリに格納された不良デバイス情報、不良行アドレス信号、及び不良列アドレス信号を、システムの立ち上げ時にシステムが備えたメモリ制御回路を介して揮発性メモリへ転送し、不良情報格納回路25及びデバイス情報格納回路26で保持することで、メモリモジュールの製造終了後における不良メモリセルの救済も可能にするため、揮発性メモリに対するアクセス時間の遅れを最小限に抑制しつつ、メモリモジュールの歩留まりを向上させている。

#### 【0080】

##### 【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

#### 【0081】

電氣的試験で不良と判定された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス、並びに不良と判定された揮発性メモリを判別するための不良デバイス情報を不揮発性メモリへ格納しておき、メモリモジュールが搭載されたシステムの立ち上げ時に、不揮発性メモリに格納された不良行アドレス、不良列アドレス、及び不良デバイス情報を揮発性メモリへ転送し、該揮発性メモリで、転送された不良行アドレス、不良列アドレス、及び不良デバイス情報をそれぞれ保持し、揮発性メモリで保持した不良行アドレス、不良列アドレス、及び不良デバイス情報に基づいて、不良と判定された揮発性メモリのメモリセルに対応するアドレスが入力された場合に、該メモリセルに代わって冗長メモリセルへアクセスすることで、メモリモジュールの電氣的試験で揮発性メモリのメモリセルに不良が発見されても、その不良メモリセルを救済することが可能になるため、メモリモジュールの歩留まりが向上する。また、不良が発見された揮発性メモリの交換や廃棄を行う必要が無くなるため、作業時間の増大によるメモリモジ

ジュールのコストの上昇が抑制される。

【図面の簡単な説明】

【図 1】

本発明のメモリモジュールに搭載される揮発性メモリの一構成例を示すブロック図である。

【図 2】

図 1 に示した揮発性メモリに格納される不良デバイス情報及び不良アドレス情報のビット配列を示す模式図である。

【図 3】

図 1 に示した不良情報格納回路及びデバイス情報格納回路の一構成例を示す回路図である。

【図 4】

図 1 に示した揮発性メモリに対する不良デバイス情報及び不良アドレス情報の格納タイミングを示すフローチャートである。

【図 5】

図 1 に示した行アドレスコンパレータ及び冗長行デコーダの一構成例を示す回路図である。

【図 6】

図 1 に示した列アドレスコンパレータ及び冗長列デコーダの一構成例を示す回路図である。

【図 7】

本発明のメモリモジュールの電氣的試験の処理手順を示すフローチャートである。

【図 8】

メモリモジュールの一構成例を示す平面図である。

【図 9】

メモリモジュールの他の構成例を示す側面図である。

【図 1 0】

従来の揮発性メモリの構成を示すブロック図である。

【図 1 1】

図 1 0 に示した初期設定レジスタ及びコマンドデコーダの構成を示す回路図である。

【図 1 2】

図 1 0 に示した初期設定レジスタ及びコマンドデコーダの動作の様子を示すタイミングチャートである。

【図 1 3】

図 1 0 に示した冗長行デコーダの構成を示す回路図である。

【図 1 4】

図 1 0 に示した冗長列デコーダの構成を示す回路図である。

【図 1 5】

メモリモジュールの一般的な製造手順を示すフローチャートである。

【図 1 6】

図 1 5 に示した従来のメモリモジュールの電氣的試験の処理手順を示すフローチャートである。

【符号の説明】

2 5 不良情報格納回路

2 6 デバイス情報格納回路

2 7 行アドレスコンパレータ

2 8 列アドレスコンパレータ

2 9 冗長行デコーダ

3 0 冗長列デコーダ

2 5 1 ～ 2 5 3、2 5 5 ～ 2 5 7、2 6 3、2 6 5、2 7 4、2 8 4 論理

積ゲート

2 5 4 遅延回路

2 5 8 不良行アドレス格納レジスタ

2 5 9 不良列アドレス格納レジスタ

2 6 1、2 6 2 ラッチ回路

2 6 4 バッファ回路

2 6 6      デバイス情報格納レジスタ

2 7 1<sub>0</sub> ~ 2 7 1<sub>2m</sub>、 2 8 1<sub>0</sub> ~ 2 8 1<sub>2m</sub>      EXORゲート

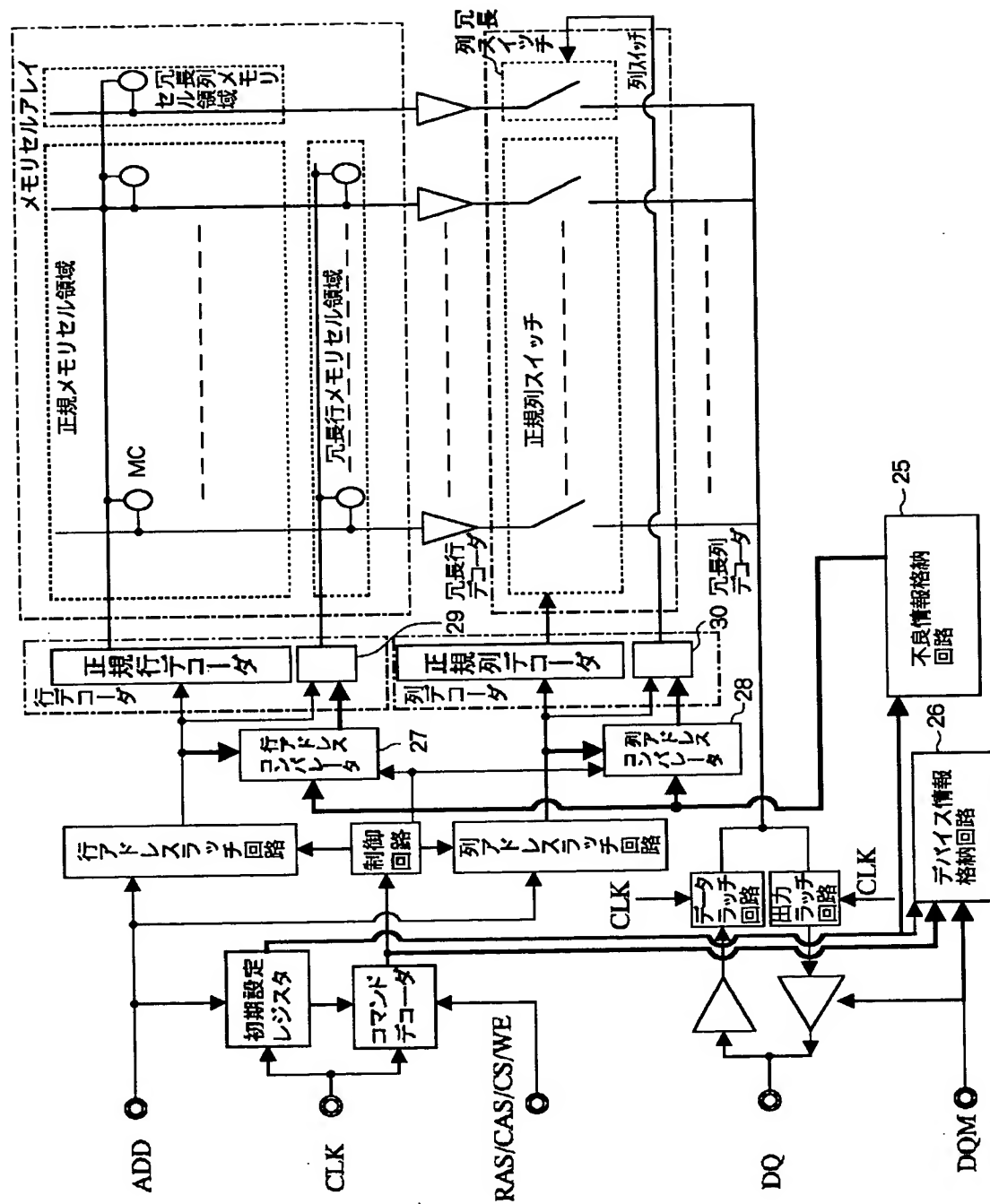
2 7 2<sub>0</sub> ~ 2 7 2<sub>2m</sub>      冗長行デコーダトランジスタ

2 7 3、 2 8 3      プリチャージトランジスタ

2 8 2<sub>0</sub> ~ 2 8 2<sub>2m</sub>      冗長列デコーダトランジスタ

【書類名】 図面

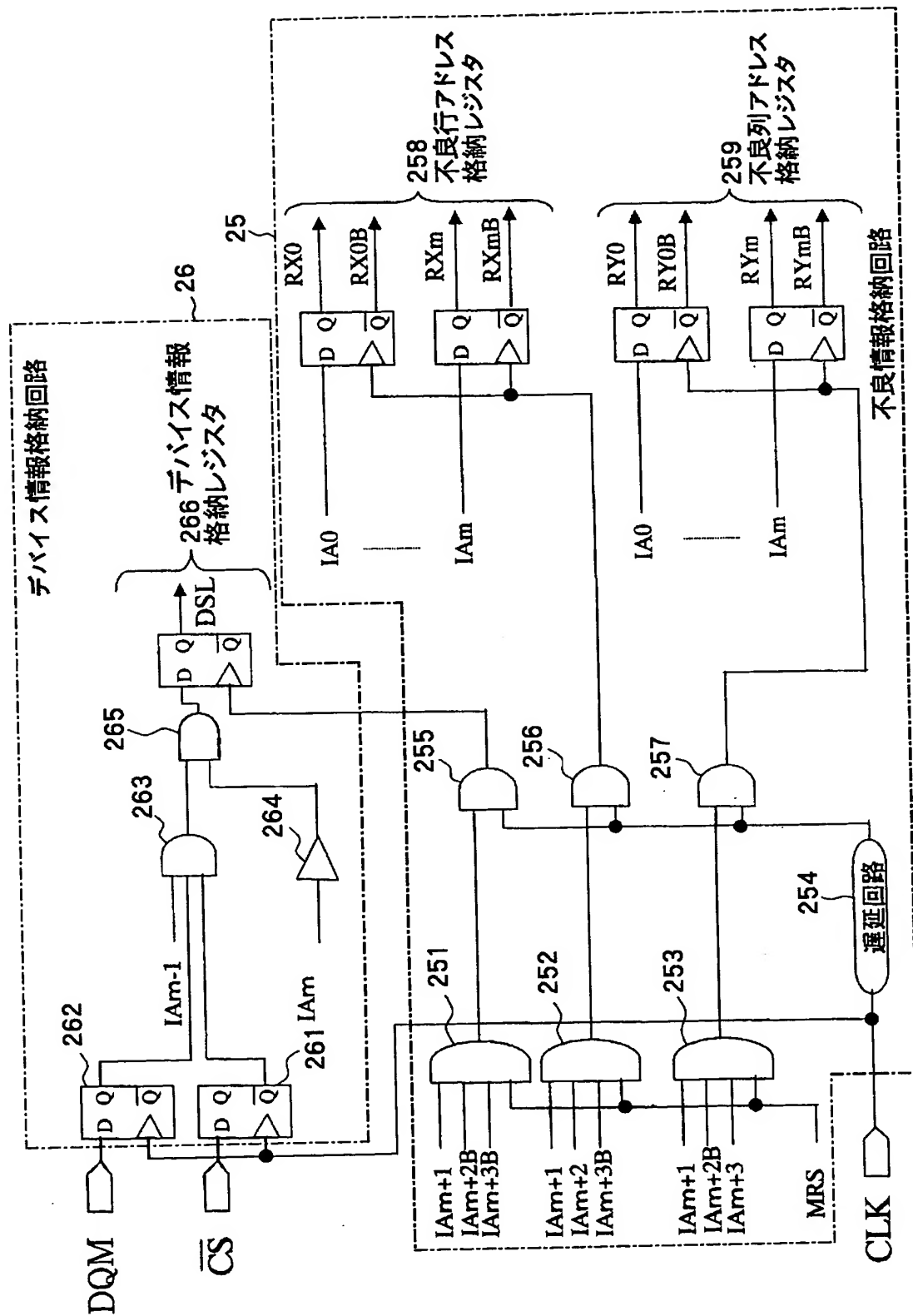
【図1】



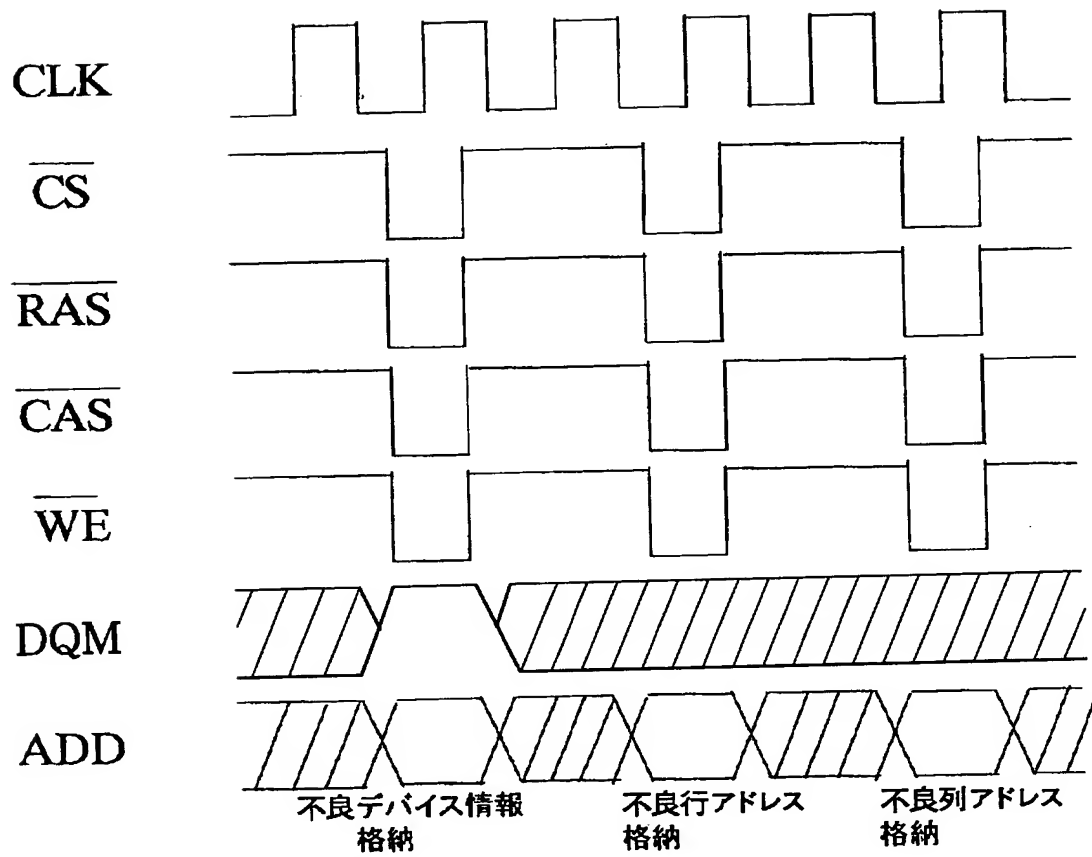
【図2】

An ... Am+3 Am+2 Am+1					Am	Am-1	----	A0
不良デバイス 情報格納時	0	...	0	0	1	不良救済 番号	モジュール バンク情報	
不良行アドレス 情報格納時	0	...	0	1	1	不良行アドレス		
不良列アドレス 情報格納時	0	...	1	0	1	不良列アドレス		

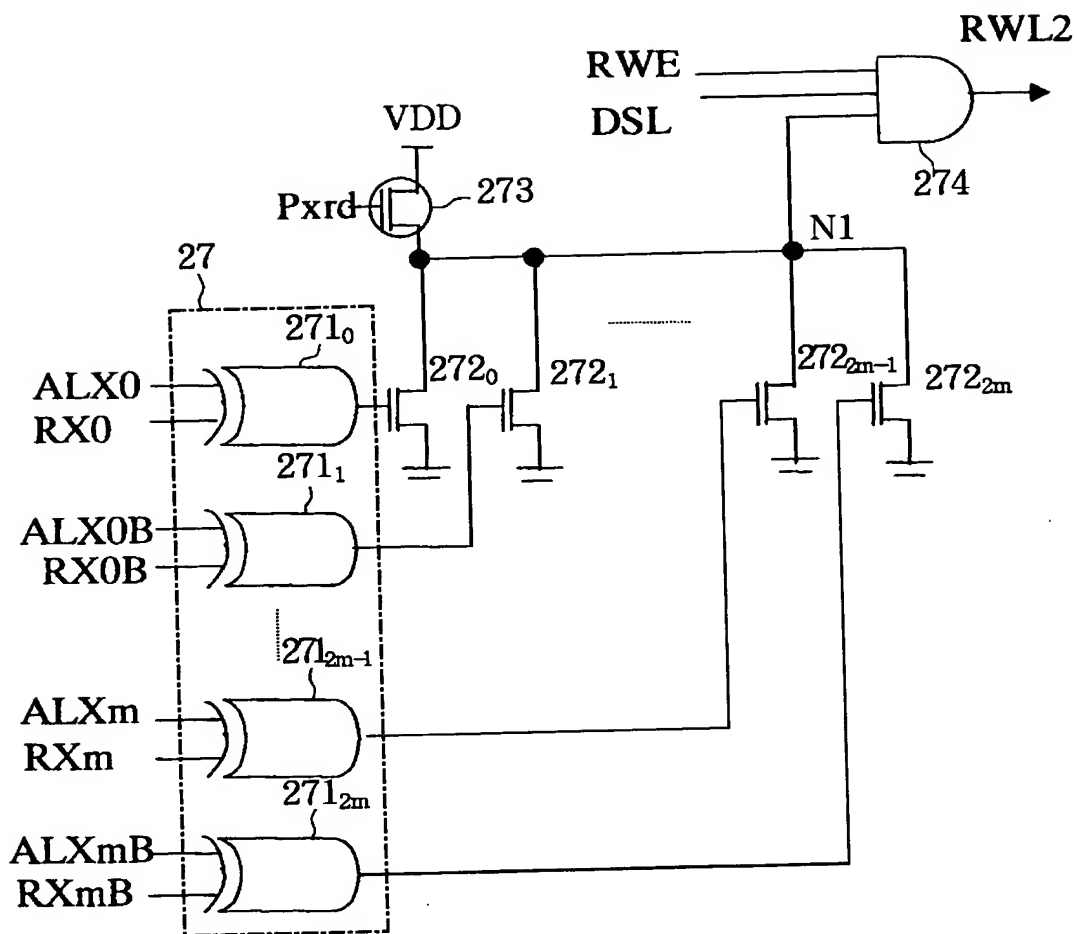
【図 3】



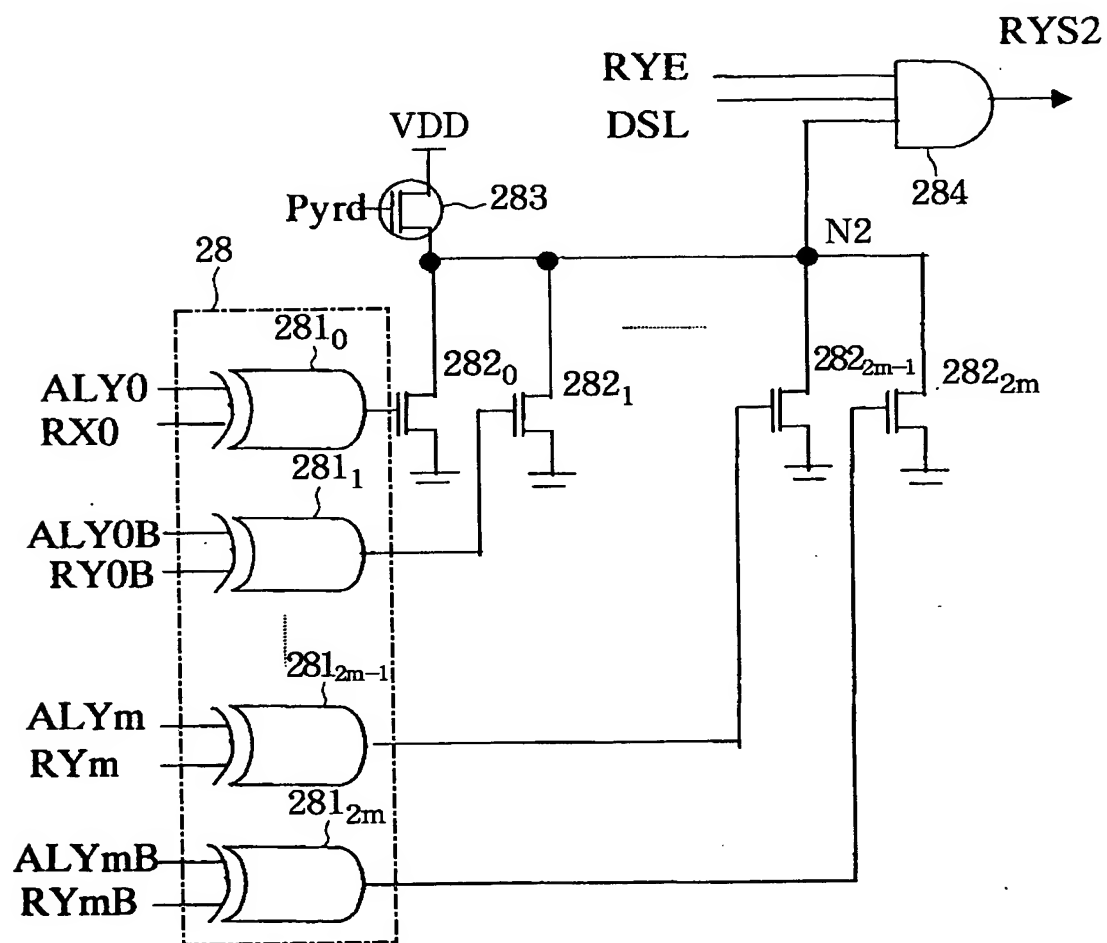
【図 4】



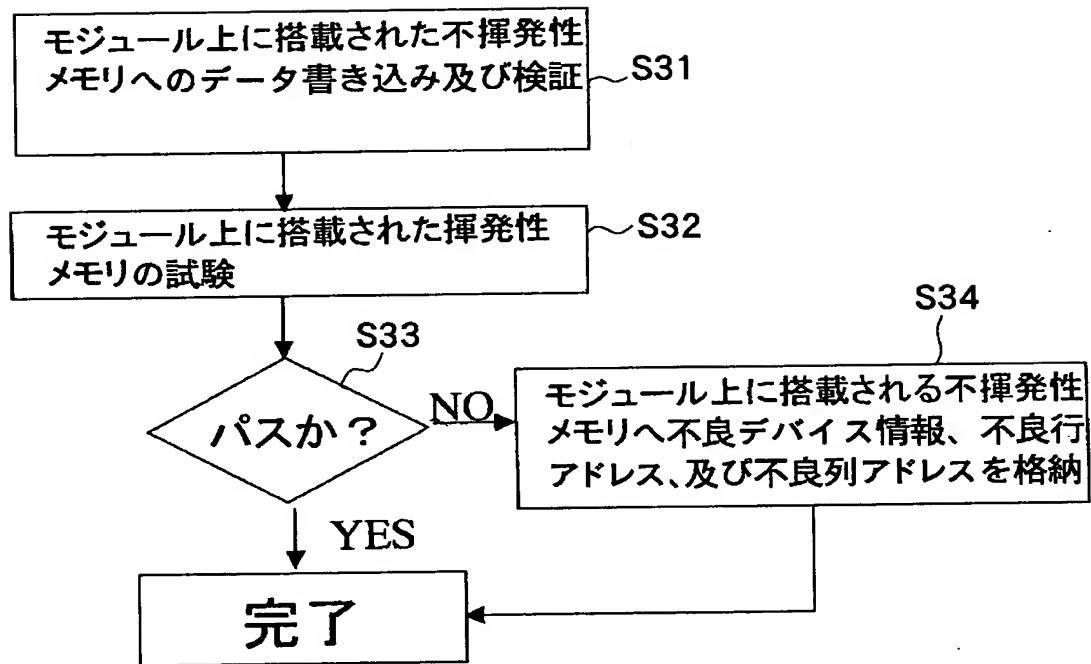
【図 5】



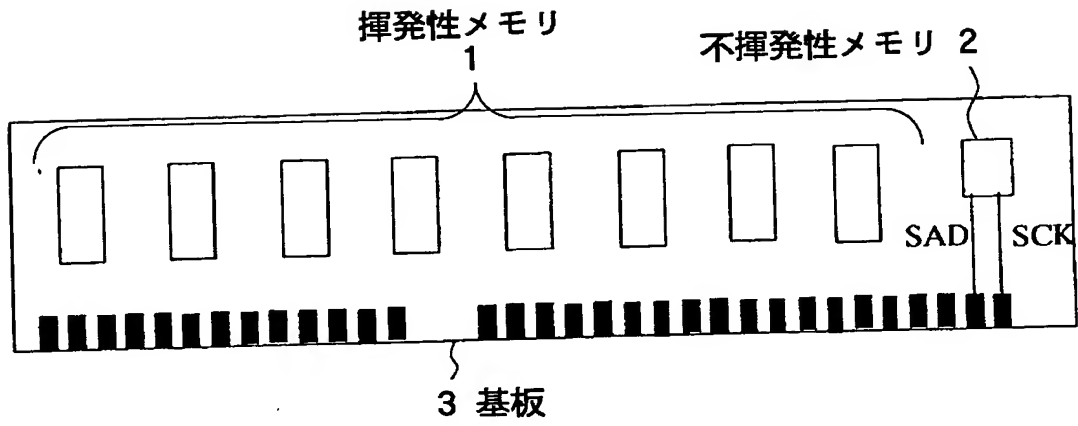
【図6】



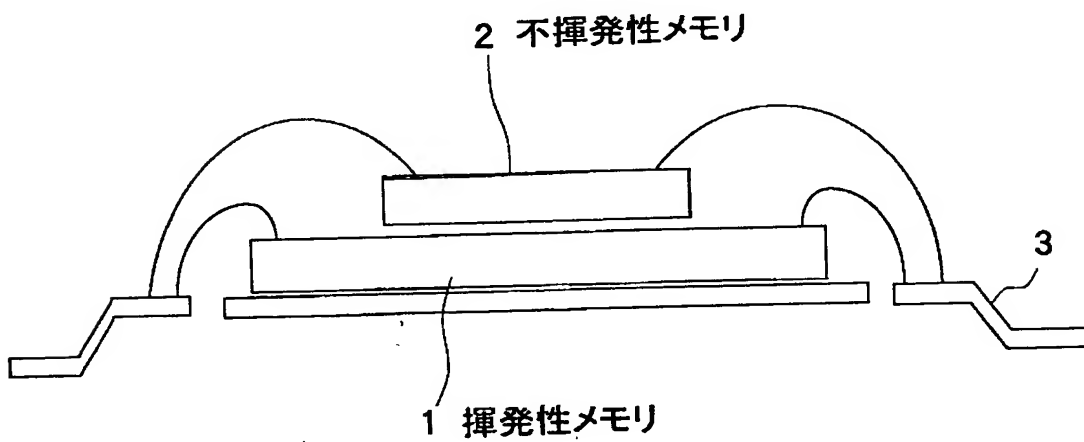
【図 7】



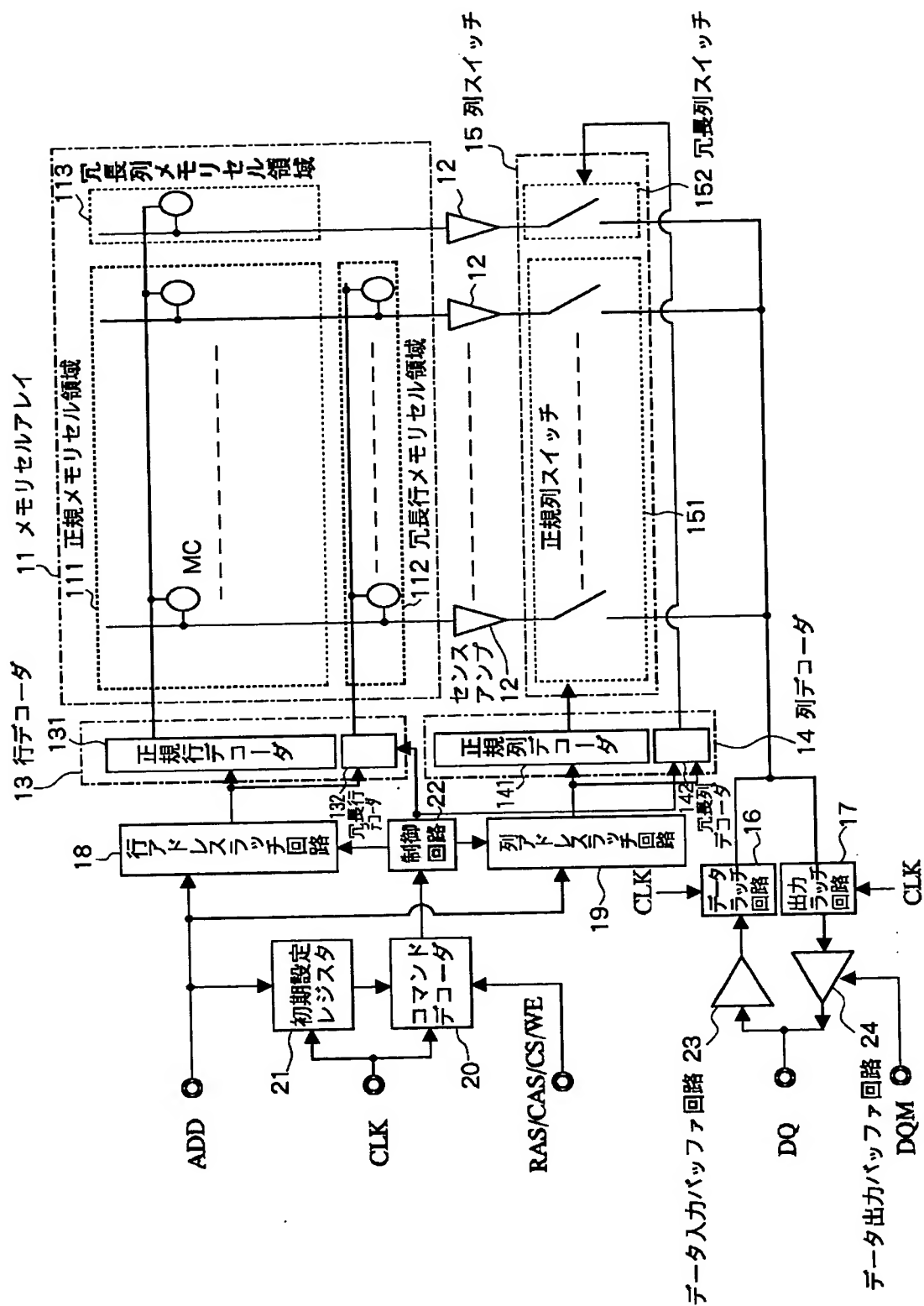
【図8】



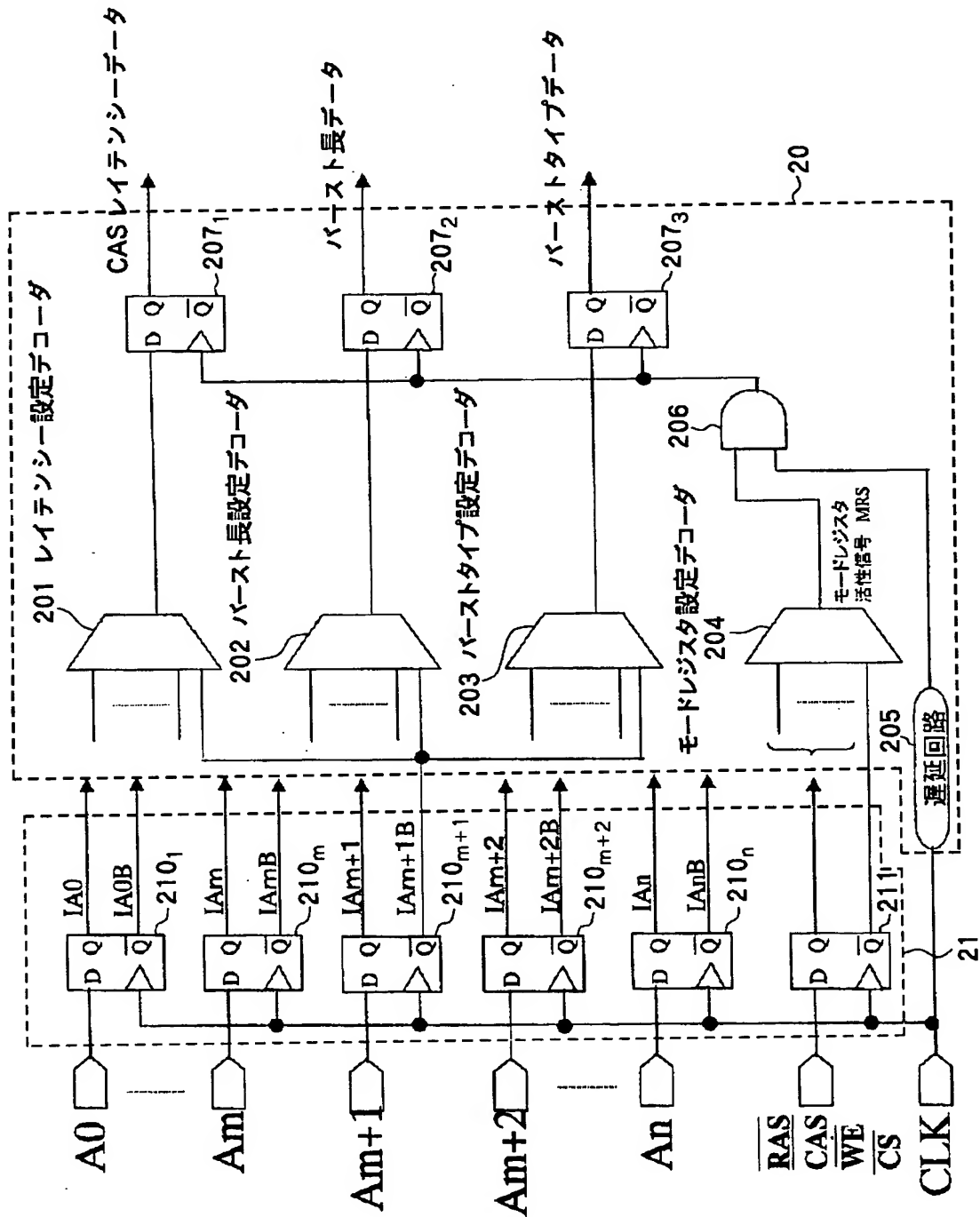
【図9】



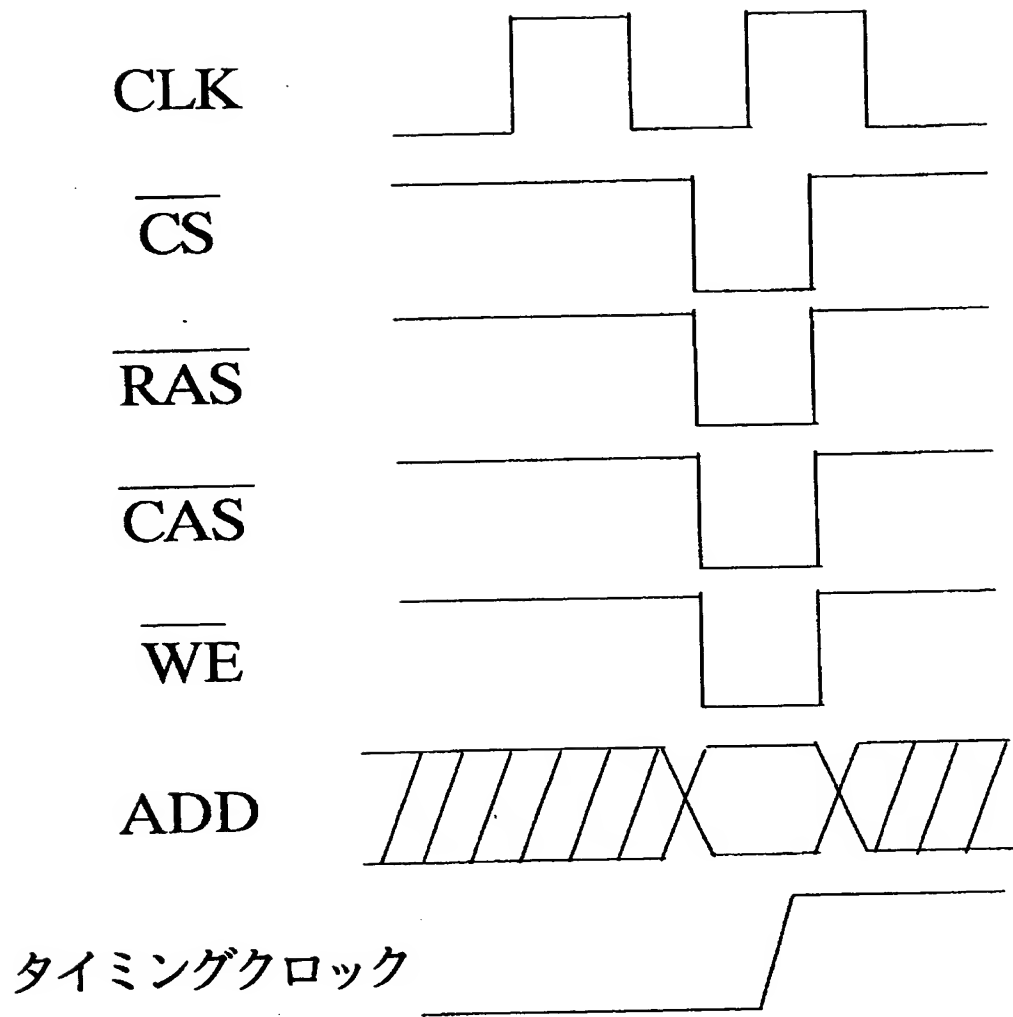
【図10】



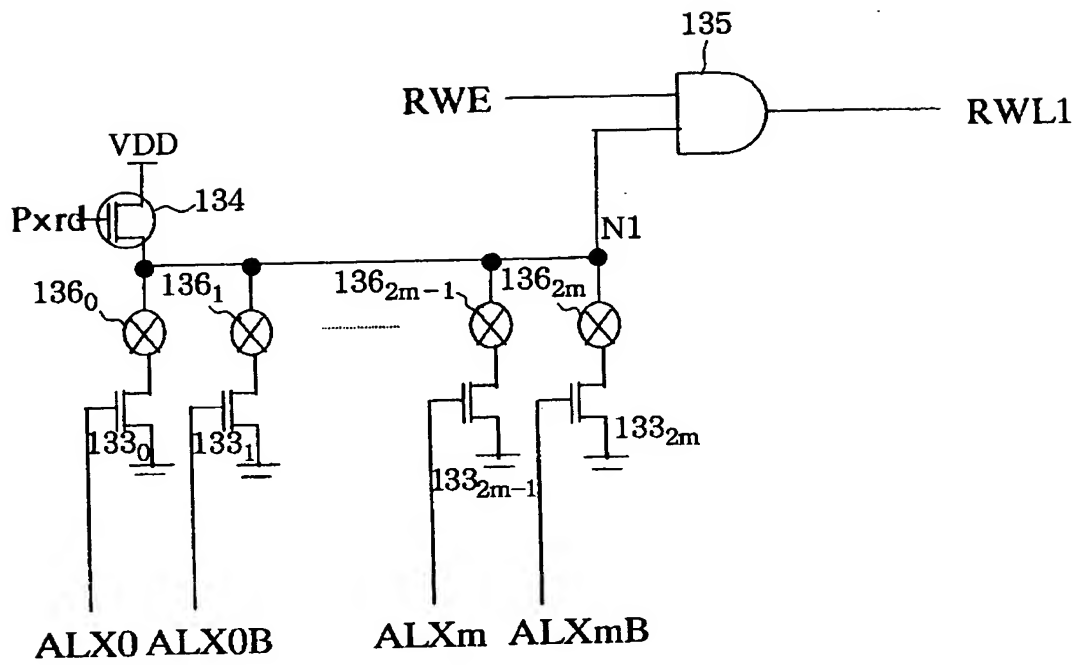
【図 11】



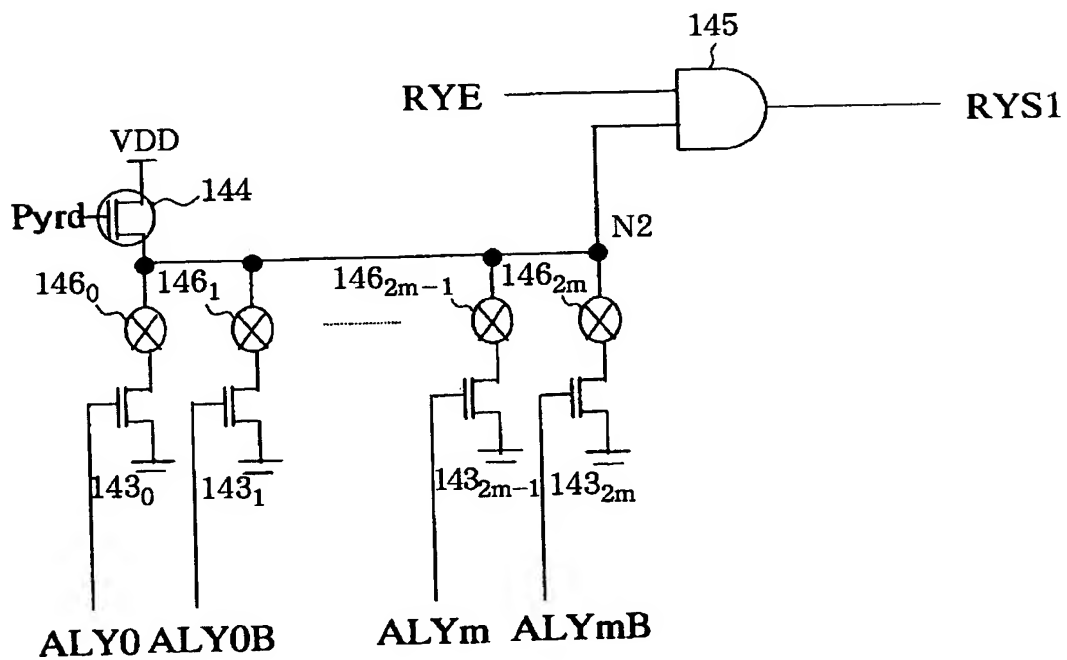
【図 12】



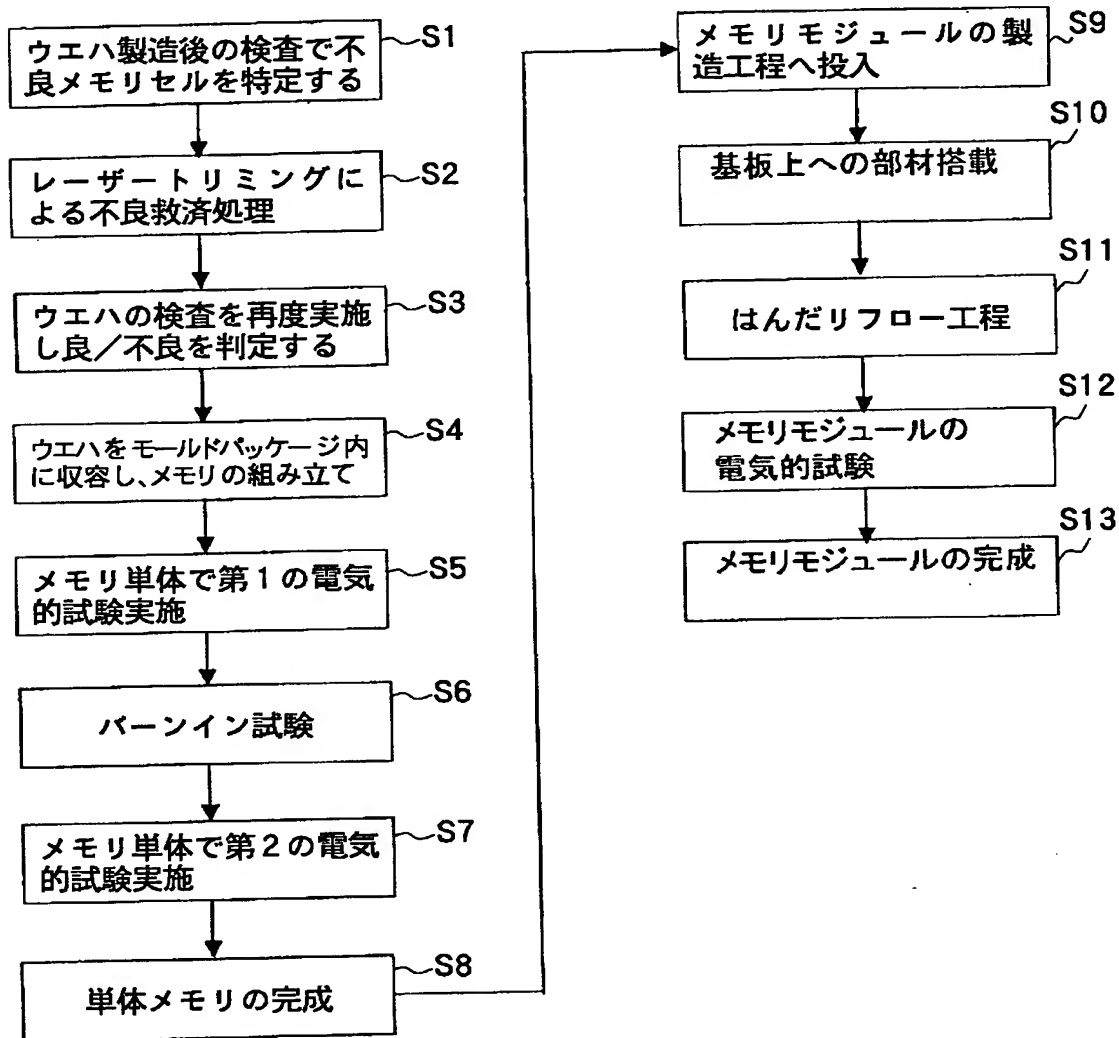
【図 13】



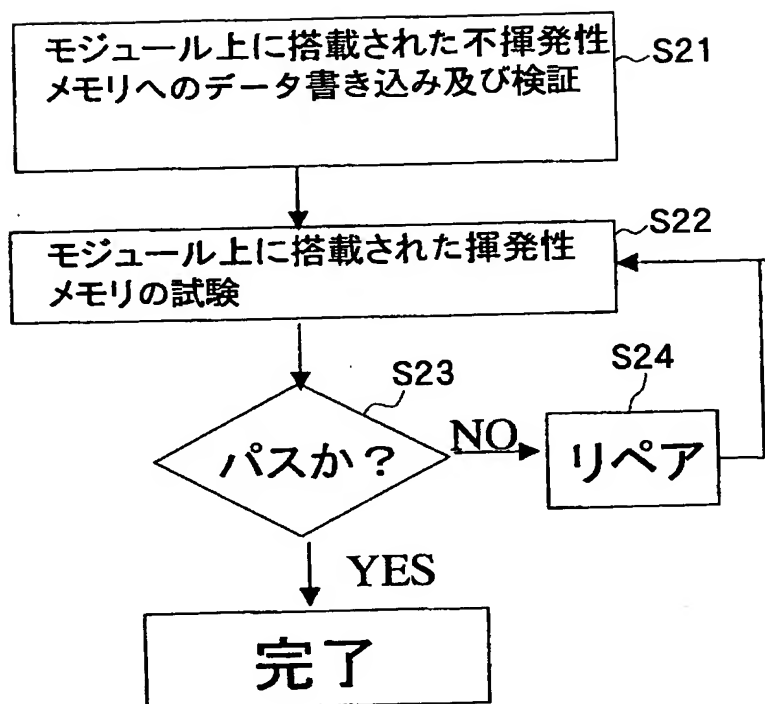
【図 14】



【図15】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 メモリモジュールの電氣的試験で不良と判定された揮発性メモリを交換することなく、不良メモリセルの救済が可能なメモリモジュールの救済方法及びメモリモジュールを提供する。

【解決手段】 不良と判定された揮発性メモリのメモリセルに対応する不良行アドレス及び不良列アドレス、並びに不良と判定された揮発性メモリを判別するための不良デバイス情報を不揮発性メモリへ格納しておき、システムの立ち上げ時に、不揮発性メモリに格納された不良行アドレス、不良列アドレス、及び不良デバイス情報を揮発性メモリへ転送し、該揮発性メモリで、それらの情報を保持し、揮発性メモリで保持した不良行アドレス、不良列アドレス、及び不良デバイス情報に基づいて不良と判定された揮発性メモリのメモリセルに対応するアドレスが入力された場合に、該メモリセルに代わって冗長メモリセルへアクセスする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[500174247]

1. 変更年月日	2000年 7月12日
[変更理由]	名称変更
住 所	東京都中央区八重洲2-2-1
氏 名	エルピーダメモリ株式会社